

Ajout d'instructions à l'y86 pipeliné

1 Préliminaire

Rappel : à l'adresse

<http://dept-info.labri.fr/ENSEIGNEMENT/archi/CSAPP/pipeline.pdf>

vous trouverez une version résumée de l'architecture y86 pipelinée, notamment sur les transparents 5, 6 et 7 des vues d'ensemble.

À l'adresse

<http://dept-info.labri.fr/ENSEIGNEMENT/archi/Pipelines/Stages.html>

vous trouverez un résumé du code HCL qui décrit précisément quels choix de routage des fils sont faits en fonction des instructions.

2 Ajout de jreg

On se propose d'ajouter `jreg`. Dans le fichier `sim/pipe/pipe-std.hcl`, ajoutez `intsig JREG 'I_JREG'`

à la suite des autres déclaration de ce type. Implémentez `jreg` dans ce même fichier et testez-la (inspirez-vous de `jmp` bien sûr, la seule différence est que l'on branche à l'adresse lue depuis le registre plutôt qu'à la constante immédiate donnée par l'instruction). Pensez à effectuer forwards et bulles appropriés.

Pensez bien à recompiler le simulateur (avec `make`) et le relancer, pour mettre à jour le processeur simulé.

3 Ajout de jmem

De la même façon, ajoutez et testez l'instruction `jmem`. On pourra par exemple s'inspirer de `mrmovl` en plus de `jmp`.

4 Ajout de leave

Enfin, ajoutez `leave`!