

ARCHITECTURE DES ORDINATEURS

TD : 10bis

COMPTEURS ET DÉCOMPTEURS

---

## Rappels

- Nous avons vu comment, à l'aide de  $n$  bistables D et un additionneur, effectuer un compteur qui avance d'une unité à chaque top d'horloge. Lorsque le compteur atteint  $2^n$ , la retenue de l'additionneur est perdue, et il retombe donc à 0. Il s'agit donc d'un compteur modulo  $2^n$ .

## Exercice 1 : Compteur modulo N

### Question 1

Mettez au point un compteur modulo  $N$  : lorsque le compteur atteint  $N$  (qui doit donc être inférieur à  $2^n$ , bien sûr), il retombe à 0, ce qui permet donc de compter  $0, 1, 2, \dots, (N-1), 0, 1, 2, \dots, (N-1), 0, 1, \dots$

### Question 2

Ajoutez à ce compteur une sortie de retenue  $C$ , qui vaut 1 lorsque le compteur s'apprête à retomber à 0 par débordement.

### Question 3

Ajoutez à ce compteur une entrée d'activation  $A$ , qui empêche le compteur d'avancer tant qu'elle vaut 0.

On dispose ainsi au final d'un circuit prenant en entrée  $N$  et  $A$ , et produisant en sortie la valeur courante  $Q$  et la retenue  $C$ , qui est à 1 lorsque le compteur s'apprête à retomber à zéro.

## Exercice 2 : Horloge

Mettez au point une horloge horaire. On supposera que le signal d'horloge est calibré à 1 Hz, et l'on s'en servira pour piloter des compteurs modulo  $N$  tels que réalisés par l'exercice précédent.

## Exercice 3 : Décompteur

### Question 1

Mettez au point un décompteur qui, au lieu d'incrémenter, décrémente depuis une valeur donnée jusqu'à zéro. Une série d'entrées  $N_0, \dots, N_{n-1}$  donne la valeur de départ, qui est enregistrée lorsqu'une entrée  $R$  (pour « reset ») est mise à 1. Lorsque  $R$  est à 0, le compteur décompte d'une unité à chaque top d'horloge, et la valeur courante est disponible sur une série de sorties  $Q_0, \dots, Q_{n-1}$ . On ne se soucie pas pour l'instant de ce qui se passe lorsque le compteur tombe à zéro.

## Question 2

Ajoutez à ce compteur une sortie **IRQ**. Lorsque le compteur est tombé à zéro, cette sortie doit passer à 1, et le compteur doit désormais rester figé à 0.

## Exercice 4 : i8253/i8254

Combinez trois décompteurs dans un même circuit à l'aide de multiplexeurs et décodeurs. Il n'y a donc qu'une seule série d'entrées  $D_0, \dots, D_{n-1}$ , une seule série de sorties  $Q_0, \dots, Q_{n-1}$ , et une seule entrée **R**. Une entrée **S** sur deux bits,  $S_0$  et  $S_1$ , permet de choisir le décompteur voulu. On a en revanche trois sorties **IRQ**<sub>0</sub>, **IRQ**<sub>1</sub> et **IRQ**<sub>2</sub>, qui permettent de savoir directement si un des décompteurs a fini de décompter. Il s'agit du circuit i8253/i8254 présent dans vos PC.